

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2004 年 8 月 19 日 (19.08.2004)

PCT

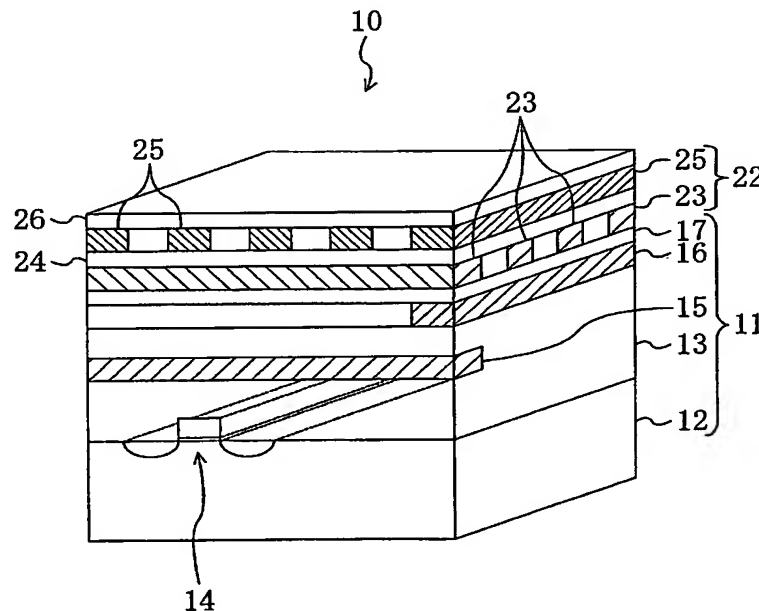
(10) 国際公開番号  
WO 2004/070832 A1

- (51) 国際特許分類: H01L 21/82, (72) 発明者; および  
27/04, 21/3205, G06F 1/04 (75) 発明者/出願人 (米国についてのみ): 伊藤 理恵  
(ITO, Rie) [JP/JP]; 〒569-0077 大阪府 高槻市 野  
(21) 国際出願番号: PCT/JP2003/008884 見町 5-4 4-4 0 5 Osaka (JP). 松野 則昭 (MAT-  
(22) 国際出願日: 2003 年 7 月 14 日 (14.07.2003) SUNO, Noriaki) [JP/JP]; 〒676-0801 兵庫県 高砂市 米  
(25) 国際出願の言語: 日本語 田町米田新 2 3 5-6 Hyogo (JP). 角田 真人 (TSUN-  
(26) 国際公開の言語: 日本語 ODA, Masato) [JP/JP]; 〒612-8485 京都府 京都市 伏見  
(30) 優先権データ: (74) 代理人: 前田 弘, 外 (MAEDA, Hiroshi et al.); 〒550-  
特願2003-27539 2003 年 2 月 4 日 (04.02.2003) JP 0004 大阪府 大阪市 西区 鞠本町 1 丁目 4 番 8 号 本町  
(71) 出願人 (米国を除く全ての指定国について): 松下電 中島ビル Osaka (JP).  
器産業株式会社 (MATSUSHITA ELECTRIC INDUS- (81) 指定国 (国内): CN, JP, US.  
TRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府 門真市  
大字門真 1 0 0 6 番地 Osaka (JP).

[続葉有]

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(54) 発明の名称: 半導体集積回路装置



(57) Abstract: A semiconductor integrated circuit device (10) comprising an LSI function section (11), and a shield wiring layer (22) formed thereon. The LSI function section (11) comprises a semiconductor substrate (12) and a first insulation film (13) wherein a circuit element including a MOS transistor (14), for example, is formed on the semiconductor substrate (12). The shield wiring layer (22) comprises a lower shield wiring (23), a third insulation film (24), an upper shield wiring (25), and a fourth insulation film (26) formed sequentially on a second insulation film (17). Arranging directions of the lower shield wiring (23) and the upper shield wiring (25) intersect perpendicularly.

(57) 要約: 半導体集積回路装置 (10) は、LSI 機能部 (11) と、その上に形成されたシールド配線層 (22) とから構成されている。LSI 機能部 (11) は、半導体基板 (12) と第 1 の絶縁膜 (13)

[続葉有]



(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

）とからなり、半導体基板（12）には、例えばMOSトランジスタ（14）を含む回路素子が形成されている。シールド配線層（22）は、第2の絶縁膜（17）上に順次形成された下部シールド配線（23）、第3の絶縁膜（24）、上部シールド配線（25）及び第4の絶縁膜（26）により構成されている。下部シールド配線（23）と上部シールド配線（25）とがそれぞれ配置される配置方向は互いに直交している。

## 明細書

### 半導体集積回路装置

#### 技術分野

本発明は、ICカード等の、高セキュリティ性を要求され、物理的な改変を防止する手段を備えた半導体集積回路装置に関する。

#### 背景技術

高いセキュリティ性が要求される半導体集積回路装置（LSI）において、回路に対して物理的な改変がなされ、その結果、装置の動作変更や機密情報の漏出等がなされることは大きな脅威である。

これらの改変は、一般に、集束イオンビーム（Focused Ion Beam：FIB）装置を用い、LSIの上部にイオンビームを照射して、配線を切断すると共に配線金属を堆積し、切断された配線とその近傍に位置する他の配線とを電氣的に接続することにより行なわれる。

以下、従来のシールド配線を備えた半導体集積回路装置について図13を参照しながら説明する。

図13に示すように、半導体基板201には、MOSトランジスタ202が形成され、該MOSトランジスタ202の上にはそれを覆う第1の絶縁膜203が形成されている。第1の絶縁膜203には、第1のLSI配線204及び第2のLSI配線205が形成され、第1の絶縁膜203の上には、第2の絶縁膜206が形成されている。これら半導体基板201、MOSトランジスタ202、第1の絶縁膜203、第1のLSI配線204、第2のLSI配線205及び第2の絶縁膜206をLSI機能部207と呼ぶ。

LSI機能部207の上には、下層シールド配線211、第3の絶縁膜212、

上層シールド配線 213 及び第 4 の絶縁膜 214 が順次形成されており、これら下層シールド配線 211、第 3 の絶縁膜 212、上層シールド配線 213 及び第 4 の絶縁膜 214 が L S I のシールド配線層 215 を形成している。

回路に対する物理的な改変は、一般に L S I の上側、すなわち半導体基板 201 の反対側から行われるため、L S I 機能部 207 の上にシールド配線層 215 を新たに設ける。従って、回路の改変は、上層シールド配線 213 及び下層シールド配線 211 を除去しないことには実行できないため、改変がより困難となる。

しかしながら、現在の F I B 装置の性能は非常に高いため、これらのシールド配線 211、213 を除去して回路の改変を行なうことは比較的容易である。

そこで、例えば、国際公開第 00/28399 号パンフレット 1 には、L S I にシールド配線層に対する改変を検知する機能を設け、改変を検知した場合には、改変された L S I を安全な状態に保つ方法が示されている。

下層シールド配線 211 及び上層シールド配線 213 の電位は、L S I が動作している間は所定の電圧レベルに固定されている。このとき、各シールド配線 211、213 と各 L S I 配線 204、205 との間にはそれぞれ寄生容量が生じることにより、信号の伝搬に遅延が生じる。

さらに、図 13 に示すように、各シールド配線 211、213 は互いに平行にすなわち同一の方向に形成されており、このため、L S I 配線が、第 2 の L S I 配線 205 のように、シールド配線 211、213 と平行な方向に配置されている場合には寄生容量が大きくなり、一方、第 1 の L S I 配線 204 のように、垂直な方向に配置されている場合には小さくなる。このように、各 L S I 配線 204、205 の配線の配置方向（敷設方向）によって、信号の遅延時間にアンバランスが生じてしまい、レイアウト設計が極めて困難になるという問題がある。その上、F I B 装置を使用した配線の改変が容易になるという問題もある。

さらに、シールド配線層 215 自体に物理的解析が行なわれた場合には、該シールド配線層 215 の電氣的な接続が明らかになるという問題もある。

## 発明の開示

本発明は、前記従来の問題を解決し、セキュリティ性が高い回路改変防止用のシールド配線を有しながら、レイアウト設計が容易な半導体集積回路を得られるようにすることを目的とする。

前記の目的を達成するため、本発明に係る第1の半導体集積回路装置は、集積回路と、集積回路の上に形成され、集積回路に対する物理的な改変を防止するシールド配線層とを備え、シールド配線層は、下部シールド配線と該下部シールド配線の上に形成された上部シールド配線とを含み、下部シールド配線と上部シールド配線との各配線の配置方向は互いに交差している。

第1の半導体集積回路装置によると、下部シールド配線と上部シールド配線とを含むシールド配線層は、下部シールド配線と上部シールド配線との各配線の配置方向（敷設方向）が互いに交差しているため、集積回路の配線（LSI配線）に生じる寄生容量が平均化されるので、レイアウト設計が容易になる。

本発明に係る第2の半導体集積回路装置は、集積回路と、集積回路の上に形成され、集積回路に対する物理的な改変を防止するシールド配線とを備え、シールド配線と集積回路における配線との各配線の配置方向は互いに斜めに交差している。

第2の半導体集積回路装置によると、シールド配線と集積回路における配線との各配線の配置方向は互いに斜めに交差しているため、シールド配線と集積回路における配線との位置関係が複雑となるので、配線を改変する場合には、シールド配線層の解析に多くの工数が必要となり、その結果、配線に対する物理的な改変がより困難となる。

第1の半導体集積回路装置は、下部シールド配線及び上部シールド配線がそれぞれ複数からなり、複数の下部シールド配線又は複数の上部シールド配線のうちの少なくとも2本を電氣的に接続すると共に、その接続先を変更できる切替回路をさらに備えていることが好ましい。

このようにすると、シールド配線層に対して物理的な解析を行なったとしても、該シールド配線層が実際にはどのように接続されているかの判定が不能となるため、セキュリティ性が格段に向上する。

また、第2の半導体集積回路装置は、シールド配線が複数からなり、複数のシールド配線のうちの少なくとも2本を電氣的に接続すると共に、その接続先を変更できる切替回路をさらに備えていることが好ましい。

第1又は第2の半導体集積回路装置が切替回路を備えている場合に、該切替回路を複数備え、複数の切替回路は集積回路の上に互いの間隔が不規則となるように設けられていることが好ましい。このようにすると、シールド配線に対する物理的な解析がより困難となる。

第1の半導体集積回路装置において、下部シールド配線又は上部シールド配線のうちの少なくとも一方は、電源線、接地線又は集積回路を制御する信号線と接続する接続部を有していることが好ましい。

このようにすると、シールド配線層を全面的に剥離してしまうと、集積回路の正常な動作が不能となるため、セキュリティ性が大きく向上する。

この場合に、接続部は下部シールド配線又は上部シールド配線のうちの少なくとも一方に複数設けられ、複数の接続部は、集積回路の上に互いの間隔が不規則となるように設けられていることが好ましい。このようにすると、シールド配線層を全面的に剥離した後、接続部を再度接続する場合に、接続部の解析及び加工時間が増大するため、配線の改変に多くの工数が必要となるので、セキュリティ性が向上する。

さらにこの場合に、下部シールド配線又は上部シールド配線のうちの少なくとも一方は、信号線と電氣的に接続されることなく不規則に配置された複数のダミービアが形成されていることが好ましい。このようにすると、レイアウト観察

(物理的解析)によって配線の再接続を行なう箇所を特定する場合に、接続箇所の特定が極めて困難となつて解析時間が増大するため、セキュリティ性が大きく

向上する。

また、第2の半導体集積回路装置において、シールド配線は、電源線、接地線又は集積回路を制御する信号線と接続する接続部を有していることが好ましい。

この場合に、接続部はシールド配線に複数設けられ、複数の接続部は、集積回路の上に互いの間隔が不規則となるように設けられていることが好ましい。

さらにこの場合に、シールド配線は、信号線と電氣的に接続されることなく不規則に配置された複数のダミービアが形成されていることが好ましい。

#### 図面の簡単な説明

図1は本発明の第1の実施形態に係るシールド配線を備えた半導体集積回路装置を示す模式的な断面斜視図である。

図2(a)は本発明の第1の実施形態に係る半導体集積回路装置におけるシールド配線層とLSI配線との寄生容量を示す模式図である。

図2(b)は比較用であって、従来の半導体集積回路装置におけるシールド配線とLSI配線との寄生容量を示す模式図である。

図3は本発明の第1の実施形態に係る半導体集積回路装置における回路の配置例であって、信号遅延を説明するブロック図である。

図4は図3に示す半導体集積回路装置における信号のタイミングチャート図である。

図5(a)及び(b)は本発明の第2の実施形態に係る半導体集積回路を示し、(a)はシールド配線を示す平面図であり、(b)はシールド配線及びLSI配線を部分的に拡大した平面図である。

図6は従来の半導体集積回路装置に対して試みられる改変の一例を示す模式的な平面図である。

図7は本発明の第2の実施形態に係る半導体集積回路装置に対して試みられる改変の一例を示す模式的な平面図である。

図 8 は本発明の第 3 の実施形態に係る半導体集積回路装置におけるシールド配線の切替回路の一例を示す模式的な構成図である。

図 9 は本発明の第 3 の実施形態の一変形例に係る半導体集積回路装置におけるシールド配線の切替回路の一例を示す模式的な構成図である。

図 10 は本発明の第 4 の実施形態に係る半導体集積回路装置におけるシールド配線及び L S I 配線を示す部分的な断面斜視図である。

図 11 は本発明の第 4 の実施形態の第 1 変形例に係る半導体集積回路装置におけるシールド配線及び L S I 配線を示す平面図である。

図 12 は本発明の第 4 の実施形態の第 2 変形例に係る半導体集積回路装置におけるシールド配線及び L S I 配線を示す平面図である。

図 13 は従来のシールド配線を備えた半導体集積回路装置を示す断面斜視図である。

発明を実施するための最良の形態

#### 第 1 の実施形態

本発明の第 1 の実施形態について図面を参照しながら説明する。

図 1 は本発明の第 1 の実施形態に係るシールド配線を備えた半導体集積回路装置の断面構成を模式的に示している。

図 1 に示すように、第 1 の実施形態に係る半導体集積回路装置 10 は、L S I 機能部 11 と、その上に形成されたシールド配線層 22 とから構成されている。

L S I 機能部 11 は、半導体基板 12 と第 1 の絶縁膜 13 とからなり、半導体基板 12 には、例えば MOS トランジスタ 14 を含む複数の回路素子が形成されている。第 1 の絶縁膜 13 には、第 1 の L S I 配線 15 及び第 2 の L S I 配線 16 が形成され、第 1 の絶縁膜 13 の上には、第 2 の絶縁膜 17 が形成されている。

シールド配線層 22 は、第 2 の絶縁膜 17 の上に順次形成された、下部シールド配線 23、第 3 の絶縁膜 24、上部シールド配線 25 及び第 4 の絶縁膜 26 に



より構成されている。

第 1 の実施形態の特徴として、下部シールド配線 2 3 と上部シールド配線 2 5 とがそれぞれ配置される配置方向（配線の敷設方向）は、互いに直交している。

図 2（a）は第 1 の実施形態に係る半導体集積回路装置におけるシールド配線層と L S I 配線との寄生容量を模式的に表わし、図 2（b）は比較用であって、従来の半導体集積回路装置におけるシールド配線と L S I 配線との寄生容量を模式的に表わしている。

図 2（a）に示すように、第 2 の L S I 配線 1 6 は、該第 2 の L S I 配線 1 6 の上に形成された下部シールド配線 2 3 とは互いに直交して配置され、下部シールド配線 2 3 の上に形成された上部シールド配線 2 5 とは平行に配置されている。このように、シールド配線層の下部シールド配線 2 3 と第 2 の L S I 配線 1 6 とが互いに直行するように配置されているため、第 2 の L S I 配線 1 6 と下部シールド配線 2 3 との対向面の面積が大幅に低減するので、第 2 の L S I 配線 1 6 には、下部シールド配線 2 3 により生じる寄生容量が大幅に減少する。

これに対し、図 2（b）に示す従来例の場合には、第 2 の L S I 配線 2 0 5 が、下層シールド配線 2 1 1 及び上層シールド配線 2 1 3 のいずれに対しても平行に配置されており、各シールド配線 2 1 1、2 1 3 のいずれもが、第 2 の L S I 配線 2 0 5 の配線長のすべてにわたって寄生容量が生じる対向面を持つため、第 2 の L S I 配線 2 0 5 の寄生容量が大きくなる。逆に、シールド配線層から離れた第 1 の L S I 配線層 2 0 4 の寄生容量は格段に小さくなり、前述したように、L S I 配線によって、寄生容量のばらつきが大きくなる。

次に、図 3 に示すように、一例として、第 1 の実施形態に係る半導体集積回路装置 1 0 が複数の回路 A、B、C と 1 つのクロック発生器 3 1 とを有している場合の信号遅延を考える。

図 3 に示す半導体集積回路装置 1 0 において、回路 A、回路 B 及び回路 C に同期信号を供給するクロック発生器 3 1 は、各回路 A、B、C に対して、回路 B、

回路C及び回路Aの順に信号の伝搬距離が大きくなるように配置されている。ここで、回路Aと回路Bとは、配線長が①である第1の配線41と、配線長が②である第2の配線42とにより接続されており、回路Aと回路Cとは、配線長が③である第3の配線43により接続されている。また、クロック発生器31から回路Bまでは配線長が④である第4の配線44により接続されており、クロック発生器31から回路Cまでは、第4の配線44と配線長が⑤である第5の配線45とにより接続されている。

この場合でも、従来例のように、上部シールド配線と下部シールド配線とを互いに平行に配置する場合は、すなわち、上部シールド配線と下部シールド配線とを、共に図3における左右方向に配置する場合は、第1の配線41、第4の配線44及び第5の配線45と、シールド配線とがいずれも平行に位置して寄生容量が大きくなるため、信号の遅延が大きくなる。

この状態で、回路Aからは、クロック発生器31が出力する第1のクロック信号CLKAに同期して信号が送信され、また、回路B、Cは、第2のクロック信号CLKBに同期して回路Aからの信号を受信する場合を考えると、回路Aからの送信信号は、回路Cの配線長③が回路Bの配線長①+②よりも短いため、回路Cの方が回路Bよりも早く到着する。その上、シールド配線により生じる寄生容量によって第1の配線41を伝搬する信号の遅延量は2倍程度も大きくなるため、シールド配線を設けない場合と比較して、回路Aから回路Bと回路Cとにそれぞれ伝搬される送信信号の伝搬速度の差はさらに大きくなる。

一方、受信側の回路B及び回路Cにおいて、回路Bのクロック発生器31からの配線長④は、回路Cのクロック発生器31からの配線長④+⑤よりも短いため、第2のクロック信号CLKBは回路Bの方が回路Cよりも早く到着する。その上、シールド配線により生じる寄生容量によって、第4の配線44及び第5の配線45の遅延量は非常に大きくなるため、シールド配線を設けない場合と比較して、クロック発生器31から回路Bと回路Cとにそれぞれ伝搬される第2のクロック

信号CLKBの伝搬速度の差はさらに大きくなる。

図4は、この場合の回路Aからの出力信号と第2のクロック信号CLKBとの動作タイミングを示している。図4に示すように、回路Cが、第2のクロック信号CLKBの立ち上がりのタイミングにおいて回路Aからの出力信号を受信する場合に、極めて大きなタイミングエラーが生じる。

このタイミングエラーを防止するため、従来は、回路B及び回路Cが、回路Aからの送信信号を第2のクロック信号CLKBに同期して受信する場合には、クロック発生器31の配置位置を修正することによって、第2のクロック信号CLKBが最適なタイミングで回路B及び回路Cに入力されるようにするか、又は回路Aからの送信信号及び第2のクロック信号CLKBの系に配線の伝搬速度の差を吸収できるように遅延素子を挿入する。

しかしながら、最適なクロック発生器31の配置位置を見つけるのは極めて困難であり、また、遅延素子を用いてタイミングを調整する場合には、本来不要な素子を付加するため、半導体集積回路のチップサイズが大きくなる。特に、シールド配線を一方方向に合わせて配置する場合には、伝搬速度の差が大きくなるため、遅延素子を増加する必要性が生じる。

これに対して、本発明の第1の実施形態は、上部シールド配線と下部シールド配線とを互いに直交するように配置するため、第1の配線41、第4の配線44及び第5の配線45における配線の遅延が減少する一方、第2の配線42及び第3の配線43における配線の遅延が増加する。これにより、信号の伝搬速度の差が小さくなるため、クロック発生器31を配置する際の配置位置の決定が容易になる。

また、信号の伝搬速度の差を調整する遅延素子も少なく済むため、チップサイズの縮小が可能となる。

以上のように、第1の実施形態によると、シールド配線層22を構成する下部シールド配線23と上部シールド配線25と互いに直行する方向に配置すること

により、各シールド配線 23、25 と各 L S I 配線 15、16 との間の寄生容量が大幅に減少するため、各 L S I 配線 15、16 の配線レイアウトが容易となるので、チップサイズの縮小が可能となる。

## 第 2 の実施形態

以下、本発明の第 2 の実施形態について図面を参照しながら説明する。

図 5 (a) 及び図 5 (b) は本発明の第 2 の実施形態に係る半導体集積回路であって、図 5 (a) はシールド配線の平面構成を示し、図 5 (b) はシールド配線及び L S I 配線を部分的に拡大した平面構成を示している。図 5 (a) 及び図 5 (b) において、図 1 に示す構成部材と同一の構成部材には同一の符号を付すことにより説明を省略する。

図 5 (a) に示すように、第 2 の実施形態に係るシールド配線 52 は、平面形状を有する半導体集積回路装置 (チップ) 10 の 1 つの対角線に対して平行に延びるように折り返しながら配置されている。ここで、シールド配線 52 は 1 層でも 2 層でもよい。また、上部シールド配線と下部シールド配線のように 2 層からなる場合には、各シールド配線の配置方向は互いに平行でもよく、また互いに直交していてもよい。

図 5 (a) に示すように、シールド配線 52 がチップ 10 の全面に、特に該チップ 10 の対角線に平行となるように配置した場合には、図 5 (b) に示すように、第 1 の L S I 配線 15 及び第 2 の L S I 配線 16 が、チップ 10 の一側面に対して平行又は垂直に配置されている場合には、各 L S I 配線 15、16 における単位長さ当たりに生じる寄生容量が等しくなるため、第 1 の L S I 配線 15 及び第 2 の L S I 配線 16 に生じる遅延は互いに等しくなるので、集積回路におけるタイミング設計が非常に容易となる。

次に、L S I 配線に対して不正な加工 (改変) が試みられようとする場合の一例について図面を参照しながら説明する。

図6は従来例のようにシールド配線235とLSI配線230とが直交して配置された構成を採るとし、FIB装置を用いて、互いに隣接するLSI配線230同士が不正加工接続箇所241において電氣的に接続され、続いて、接続されたLSI配線230における不正加工接続箇所241の近傍において不正加工切断箇所242が切断されようとする場合を考える。この場合には、シールド配線235により不正加工が検知されることを避けるため、シールド配線235のうちの不正加工接続箇所241の上側部分をあらかじめ除去しておき、不正加工接続箇所241を接続し、且つ不正加工切断箇所242を切断した後に、シールド配線235における不正加工接続箇所241の上側部分を再度接続する。

従って、図6に示すように、従来の構成の場合には、あらかじめ除去しておくシールド配線235は1本で済む。

これに対し、図7に示すように、第2の実施形態に係るシールド配線52を有する場合に、LSI配線16に対して不正な接続（不正加工接続箇所53）と不正な切断（不正加工切断箇所54）とを試みようとする、3本のシールド配線52に対して削除すると共に、その後に再度接続する再接続処理が必要となる。近年の微細化が著しく進んだ集積回路においては、このような微細な領域に複数の加工を行なうことは、FIB装置の性能が向上した現在でも極めて困難である。

従って、シールド配線52をLSI配線16の配置方向に対して斜めに配置することにより、微細な領域における加工箇所が増加する。このため、不正加工を行なう時間及び工数が増大し且つ高いスキルとが必要となるので、セキュリティ性の大幅な向上を図ることができる。

以上説明したように、第2の実施形態に係る半導体集積回路装置は、第1のLSI配線15及び第2のLSI配線16の各配置方向に対してその上に設けるシールド配線52を斜めに配置することにより、各LSI配線15、16における単位長さ当たりに生じる寄生容量が等しくなるため、各LSI配線15、16に生じる信号遅延は互いに等しくなるので、タイミング設計が極めて容易となる。

また、各LSI配線15、16とシールド配線52との各配置方向を斜めに配置することにより、不正加工に要する時間及び工数と高いスキルとが必要となるため、セキュリティ性が大きく向上する。

### 第3の実施形態

以下、本発明の第3の実施形態について図面を参照しながら説明する。

図8は本発明の第3の実施形態に係る半導体集積回路装置におけるシールド配線の切替回路の構成の一例を模式的に示している。

図8に示すように、例えば8本のシールド配線60a、60b、…、60hにおけるそれぞれの一端部又は両端部は、各シールド配線60a～60h同士のそれぞれの電気的な接続を切り替える切替回路61と接続されている。

切替回路61は、外部から設定可能な設定信号線66と接続された8ビットのレジスタ65を有しており、該レジスタ65と各シールド配線60a～60hの間には、第1のスイッチ回路64A、第2のスイッチ回路64B、第3のスイッチ回路64C及び第4のスイッチ回路64Dがそれぞれ設けられている。

レジスタ65は、図示はしていないが、ビット0（b0）、ビット1（b1）、…、ビット7（b7）の8ビット構成である。

ビット0及びビット1は、第1のスイッチ回路64Aにおけるレジスタ65側の端子63aとシールド配線側の端子62a、62b1及び62cとの接続状態を決定する。ビット2及びビット3は、第2のスイッチ回路64Bにおけるレジスタ65側の端子63bとシールド配線側の端子62d及び62gとの接続状態を決定する。ビット4及びビット5は、第3のスイッチ回路64Cにおけるレジスタ65側の端子63cとシールド配線側の端子62b2及び62eとの接続状態を決定する。ビット6及びビット7は、第4のスイッチ回路64Dにおけるレジスタ65側の端子63dとシールド配線側の端子62f及び62hとの接続状態を決定する。

第1のスイッチ回路64Aは、レジスタ65のビット0及びビット1の値によって、シールド配線側の端子62a、62b1及び62cのうちのいずれか1つをレジスタ65側の端子63aと接続する。また、第2のスイッチ回路64Bは、レジスタ65のビット2及びビット3の値によって、シールド配線側の端子62d又は62gをレジスタ65側の端子63bと接続する。これにより、シールド配線60a、60b及び60cのいずれか1つが、他のシールド配線60d又は60gと接続される。

同様に、第3のスイッチ回路64Cは、レジスタ65のビット4及びビット5の値によって、シールド配線側の端子62b2又は62eをレジスタ65側の端子63cと接続する。また、第4のスイッチ回路64Dは、レジスタ65のビット6及びビット7の値によって、シールド配線側の端子62f又は62hをレジスタ65側の端子63dと接続する。これにより、シールド配線60b又は60eが、他のシールド配線60f又は60hと接続される。

以上のように、第3の実施形態に係る半導体集積回路装置は、複数のシールド配線60a～60hの一端部又は両端部の接続を動的に変更可能な切替回路61を有しているため、これらシールド配線60a～60hに対して物理的な解析がなされたとしても、各シールド配線60a～60hが実際にはどのように接続されているのかの物理的な解析が非常に困難となるので、セキュリティ性が大幅に向上する。

また、切替回路61を各シールド配線60a～60hの両端部に配置すると、各シールド線同士の接続の組み合わせがより複雑となるため、セキュリティ性がさらに向上する。

### 第3の実施形態の一変形例

以下、本発明の第3の実施形態の一変形例について図9を参照しながら説明する。

図 9 に示すように、複数の切替回路 6 1 をシールド配線 6 0 の端部に限らず、集積回路（図示せず）の上に互いの間隔が不規則となるように配置する。

各切替回路 6 1 は、第 3 の実施形態と同様の方法で各シールド配線 6 0 の接続先を切り替える。符号 6 7 は、複数のシールド配線 6 0 のうち電氣的に接続された配線を模式的に示している。

この構成により、シールド配線 6 0 に対する接続の変更がより一層複雑に行なえるようになるため、セキュリティ性がさらに向上する。

なお、第 3 の実施形態及びその変形例において、各シールド配線 6 0 は、第 1 の実施形態に示した構成、又は第 2 の実施形態に示した構成を採ることが好ましい。

#### 第 4 の実施形態

以下、本発明の第 4 の実施形態について図面を参照しながら説明する。

図 1 0 は本発明の第 4 の実施形態に係る半導体集積回路装置におけるシールド配線及び L S I 配線の構成を示している。

図 1 0 に示すように、第 4 の実施形態に係るシールド配線 7 0 は、接続部としてのビア 7 2 を介して、電源線、接地線（GND）又は集積回路の動作を制御する信号線 7 1 と電氣的に接続されている。

前述したように、微細化が進んだ集積回路に対して物理的な改変を試みる際に、F I B 装置等を用いて複数のシールド配線 7 0 を 1 本ずつ削除するには、加工時間、工数及び高いスキルを要する。

これに対し、薬剤を用いてシールド配線 7 0 を全面的に剥離することは比較的容易である。そこで、薬剤によりシールド配線 7 0 の全面を剥離する試みがなされた場合に、シールド配線 7 0 が電源線、接地線又は集積回路の動作を制御する信号線 7 1 と接続されていることにより、集積回路自体が正常な動作を行なえなくなる。



以上のように、第4の実施形態に係る半導体集積回路装置は、シールド配線70と、電源線、接地線又は集積回路の動作を制御する信号線71とがビア72により電氣的に接続されるため、シールド配線70がチップの全面にわたって剥離された場合には、半導体集積回路の正常な動作が不能となるので、セキュリティ性が格段に向上する。

なお、第4の実施形態において、シールド配線70は、第1の実施形態に示した構成、又は第2の実施形態に示した構成を採用することが好ましい。

#### 第4の実施形態の第1変形例

以下、本発明の第4の実施形態の第1変形例について図面を参照しながら説明する。

図11は本発明の第4の実施形態の第1変形例に係る半導体集積回路装置におけるシールド配線及びLSI配線の平面構成を示している。

図11に示すように、シールド配線70は、第2の実施形態と同様に、チップ10の上に、該チップ10の1つの対角線に対して平行となるように折り返しながら形成されている。

さらに、シールド配線70の下側には、チップ10の1つの側面に平行又は垂直な方向に配置された、例えば電源線、接地線又は集積回路の動作を制御する複数の信号線71が形成されている。

第1変形例の特徴として、シールド配線70と複数の信号線71とを電氣的に接続する複数のビア72が、互いの間隔が不規則となるように設けられている。

前述したように、薬剤によりシールド配線70を全面的に剥離すると、ビア72により電氣的に接続されていたシールド配線70と信号線71とが切断されてしまい、集積回路自体が正常に動作しなくなる。

従って、集積回路を正常に動作させるには、除去されたシールド配線70に代えて、接続されていたビア72をFIB装置等により再度接続する必要がある。

ところが、接続が必要なビア 72 は、チップ 10 上に複数あり且つ不規則に配置されているため、接続が必要な箇所を解析する時間、及び F I B 装置による加工時間が増大する。

このように、第 1 変形例によると、シールド配線 70 と、電源線、接地線又は集積回路を制御する信号線 71 とを電氣的に接続する複数のビア 72 を、チップ 10 上に不規則に配置するため、シールド配線 70 の全面を剥離した後に、接続が必要なビア 72 を再度接続する場合に、接続に要する解析時間及び加工時間が大幅に増大するため、セキュリティ性が確実に向上する。

なお、第 1 変形例において、シールド配線 70 は、第 1 の実施形態に示した構成を採ってもよい。

#### 第 4 の実施形態の第 2 変形例

以下、本発明の第 4 の実施形態の第 2 変形例について図面を参照しながら説明する。

図 12 は本発明の第 4 の実施形態の第 2 変形例に係る半導体集積回路装置におけるシールド配線及び L S I 配線の平面構成を示している。図 12 において、図 11 に示す構成部材と同一の構成部材には同一の符号を付すことにより説明を省略する。

図 12 に示すように、第 2 変形例に係る半導体集積回路装置 10 は、シールド配線 70 に、信号線（L S I 配線）71 と電氣的に接続されない複数のダミービア 73 を不規則に設けることを特徴としており、さらに、シールド配線 70 に対する不正加工を検知する公知の不正加工検知回路 80 を備えている。

集積回路に対して物理的な改変を行なおうと、薬剤によりシールド配線 70 を全面的に剥離した後、切断箇所の再接続を試みる場合に、まず再接続が必要な箇所の解析が必要となる。シールド配線 70 を剥離したチップ 10 には、シールド配線 70 と電源線、接地線又は集積回路の動作を制御する信号線 71 とが互いに

接続されていたビア 7 2 が痕跡として残るため、これを手掛かりにレイアウト観察により解析されやすい。

しかしながら、第 2 変形例においては、信号線 7 1 と電氣的に接続されない複数のダミービア 7 3 を、チップ 1 0 上の全面にわたって且つ不規則な位置に配置することにより、レイアウト観察によっても、通常のビア 7 2 を特定したり手掛かりを見つれたりすることが極めて困難となるため、解析時間が大幅に増大する。特に、シールド配線 7 0 と不正加工検知回路 8 0 が形成された L S I 配線層とを接続するビア 7 2 の周辺部に、より多くのダミービア 7 3 を配置しておくことが好ましい。

このように、第 2 変形例によると、チップ 1 0 の全面に電氣的に接続されない複数のダミービア 7 3 を不規則に配置するため、レイアウト観察による再接続が必要な箇所の特定又は手掛かりの発見が極めて困難となる。その結果、シールド配線 7 0 に対して再度接続する再接続箇所を特定する解析時間が大幅に増大するので、セキュリティ性も格段に向上する。

なお、第 2 変形例においても、シールド配線 7 0 は、第 1 の実施形態に示した構成を採ってもよい。

## 請求の範囲

### 1. 集積回路と、

前記集積回路の上に形成され、前記集積回路に対する物理的な改変を防止するシールド配線層とを備え、

前記シールド配線層は、下部シールド配線と該下部シールド配線の上に形成された上部シールド配線とを含み、

前記下部シールド配線と前記上部シールド配線との各配線の配置方向は互いに交差している半導体集積回路装置。

### 2. 請求項 1 において、

前記下部シールド配線及び上部シールド配線はそれぞれ複数からなり、

前記複数の下部シールド配線又は前記複数の上部シールド配線のうちの少なくとも 2 本を電氣的に接続すると共に、その接続先を変更できる切替回路をさらに備えている半導体集積回路装置。

### 3. 請求項 2 において、

前記切替回路を複数備え、

前記複数の切替回路は、前記集積回路の上に互いの間隔が不規則となるように設けられている半導体集積回路装置。

### 4. 請求項 1 において、

前記下部シールド配線又は前記上部シールド配線のうちの少なくとも一方は、電源線、接地線又は前記集積回路を制御する信号線と接続する接続部を有している半導体集積回路装置。

### 5. 請求項 4 において、

前記接続部は、前記下部シールド配線又は前記上部シールド配線のうちの少なくとも一方に複数設けられ、

前記複数の接続部は、前記集積回路の上に互いの間隔が不規則となるように

設けられている半導体集積回路装置。

6. 請求項 5 において、

前記下部シールド配線又は前記上部シールド配線のうちの少なくとも一方は、前記信号線と電氣的に接続されることなく不規則に配置された複数のダミービアが形成されている半導体集積回路装置。

7. 集積回路と、

前記集積回路の上に形成され、前記集積回路に対する物理的な改変を防止するシールド配線とを備え、

前記シールド配線と前記集積回路における配線との各配線の配置方向は互いに斜めに交差している半導体集積回路装置。

8. 請求項 7 において、

前記シールド配線は複数からなり、

前記複数のシールド配線のうちの少なくとも 2 本を電氣的に接続すると共に、その接続先を変更できる切替回路をさらに備えている半導体集積回路装置。

9. 請求項 8 において、

前記切替回路を複数備え、

前記複数の切替回路は、前記集積回路の上に互いの間隔が不規則となるように設けられている半導体集積回路装置。

10. 請求項 7 において、

前記シールド配線は、電源線、接地線又は前記集積回路を制御する信号線と接続する接続部を有している半導体集積回路装置。

11. 請求項 10 において、

前記接続部は前記シールド配線に複数設けられ、

前記複数の接続部は、前記集積回路の上に互いの間隔が不規則となるように設けられている半導体集積回路装置。

12. 請求項 11 において、

前記シールド配線は、前記信号線と電氣的に接続されることなく不規則に配置された複数のダミービアが形成されている半導体集積回路装置。

FIG. 1

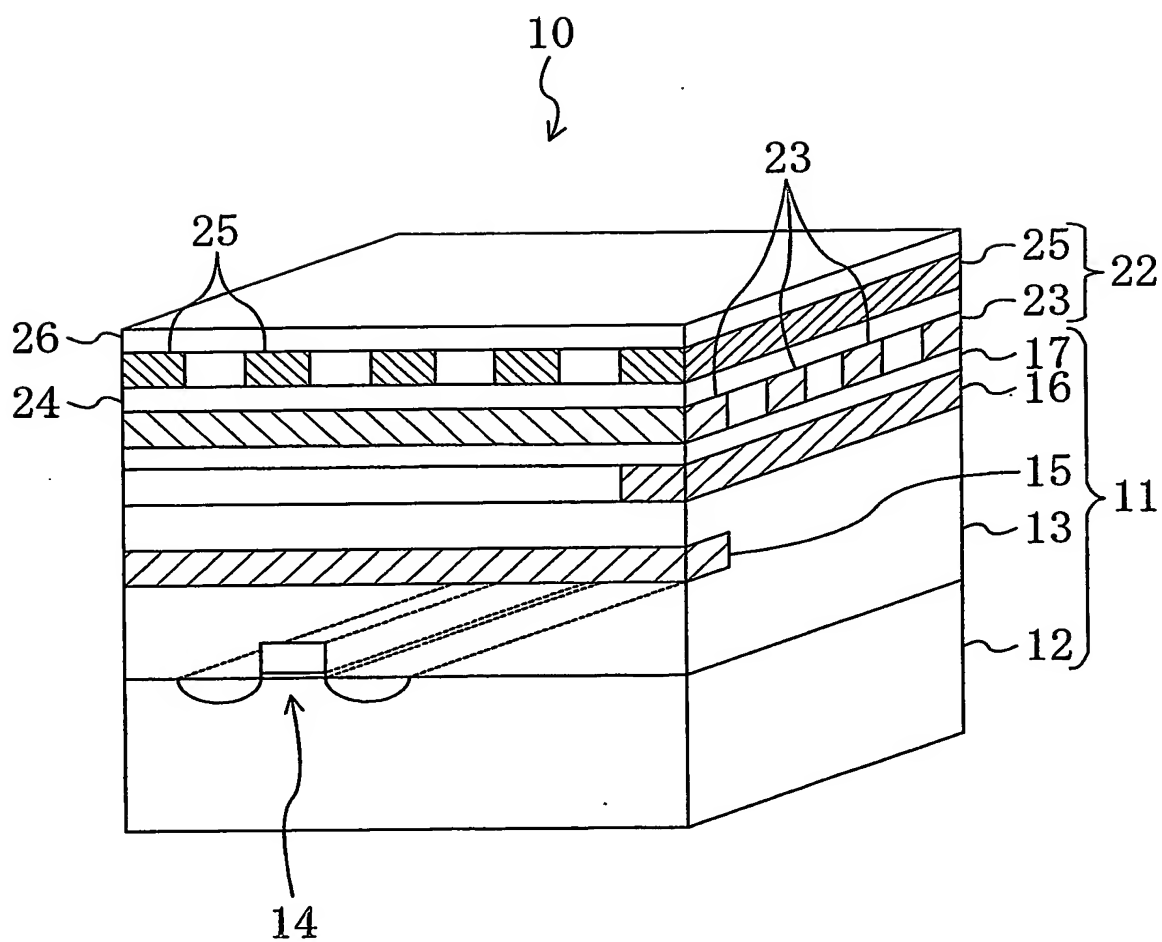


FIG. 2

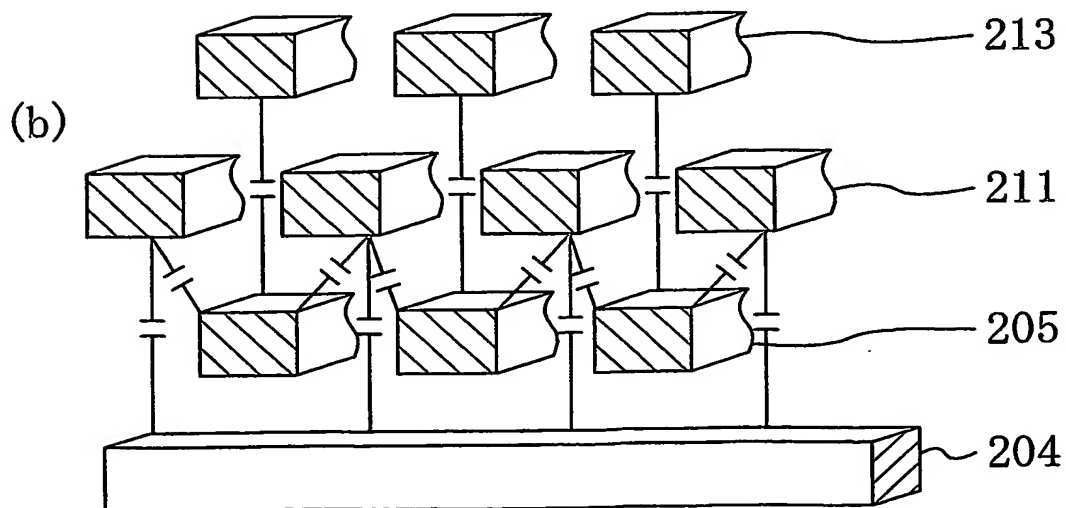
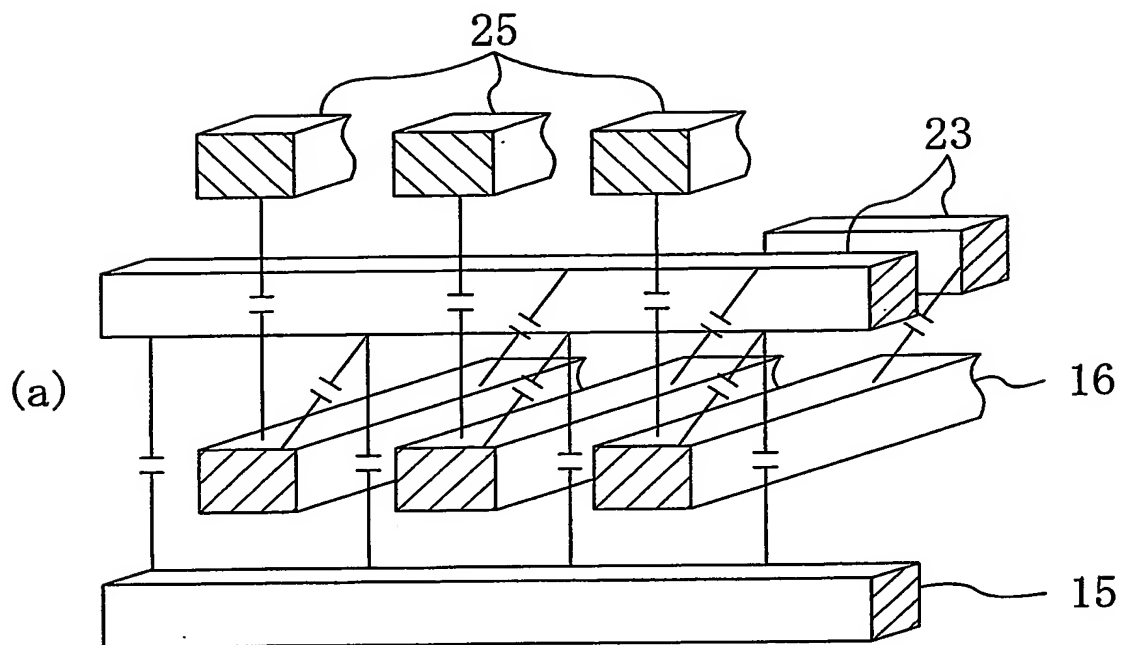
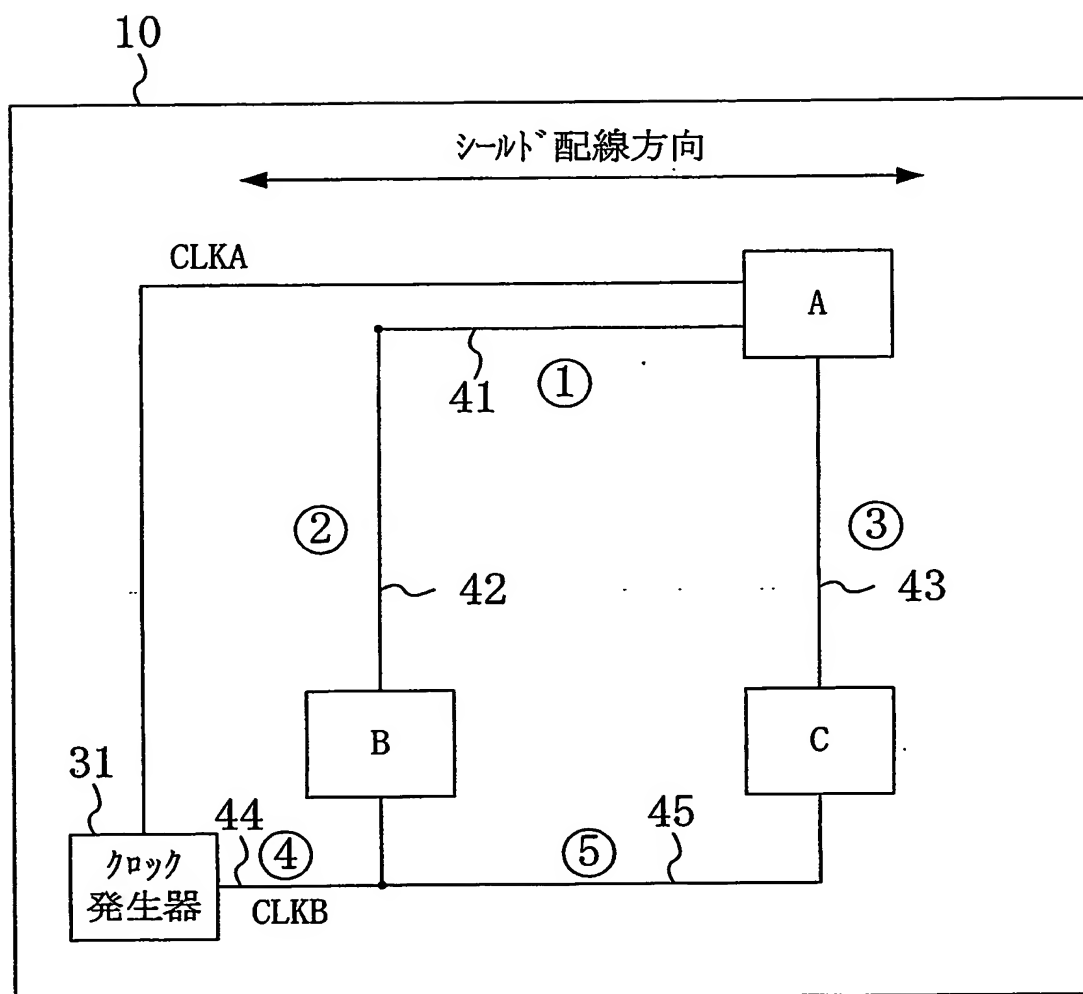




FIG. 3



4/13

FIG. 4

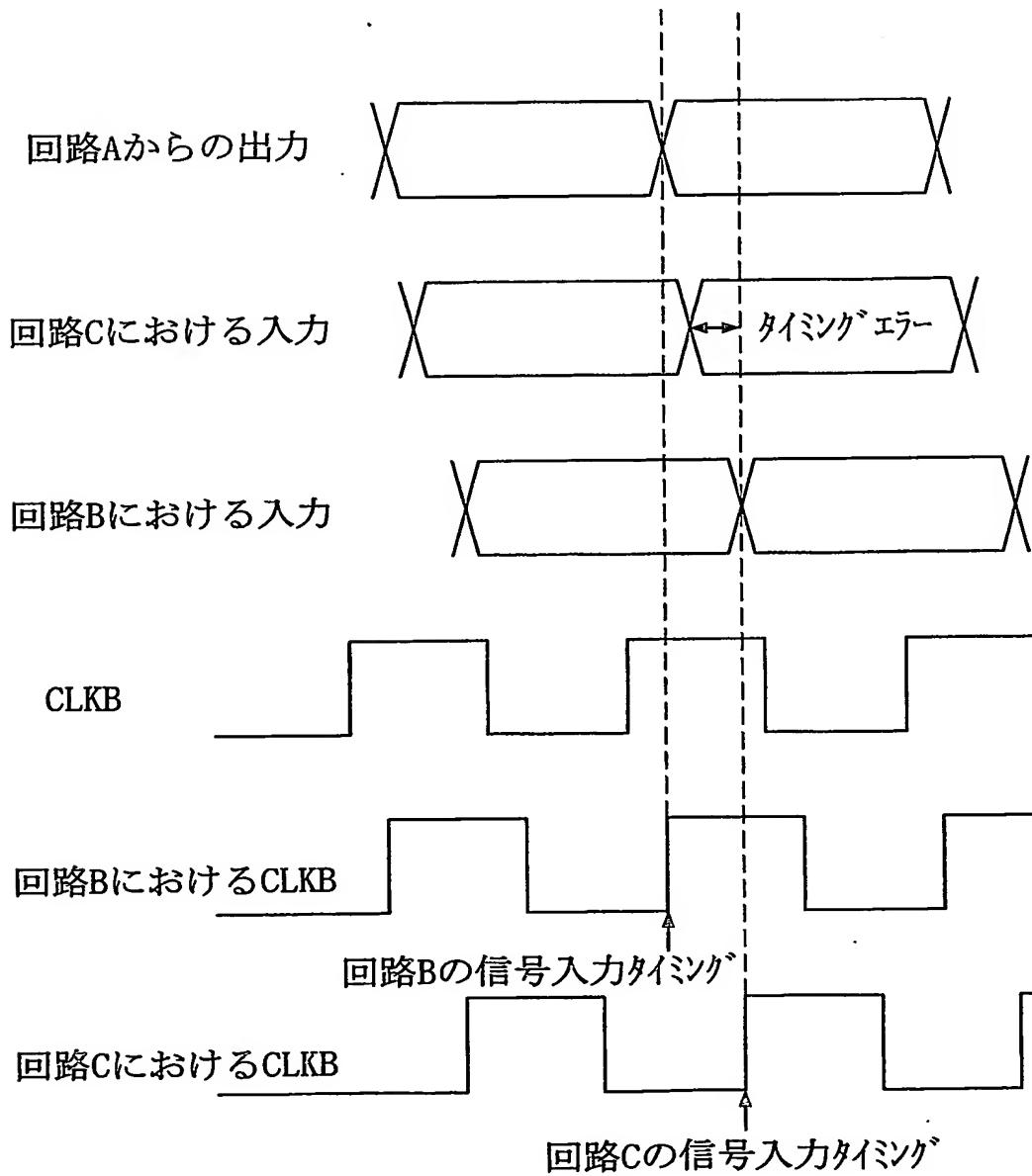
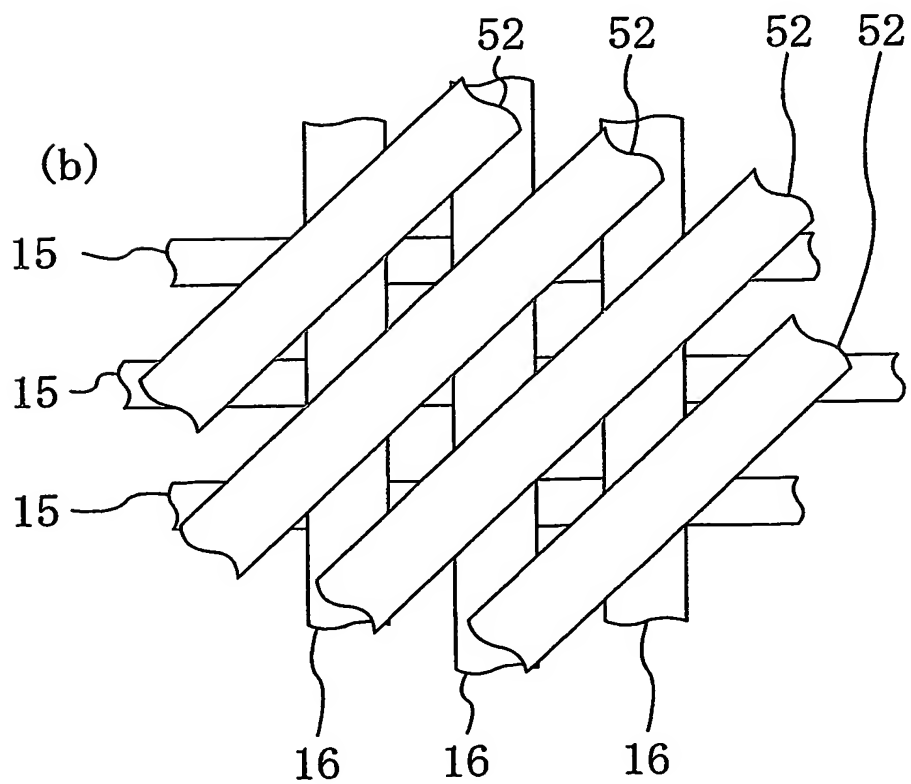
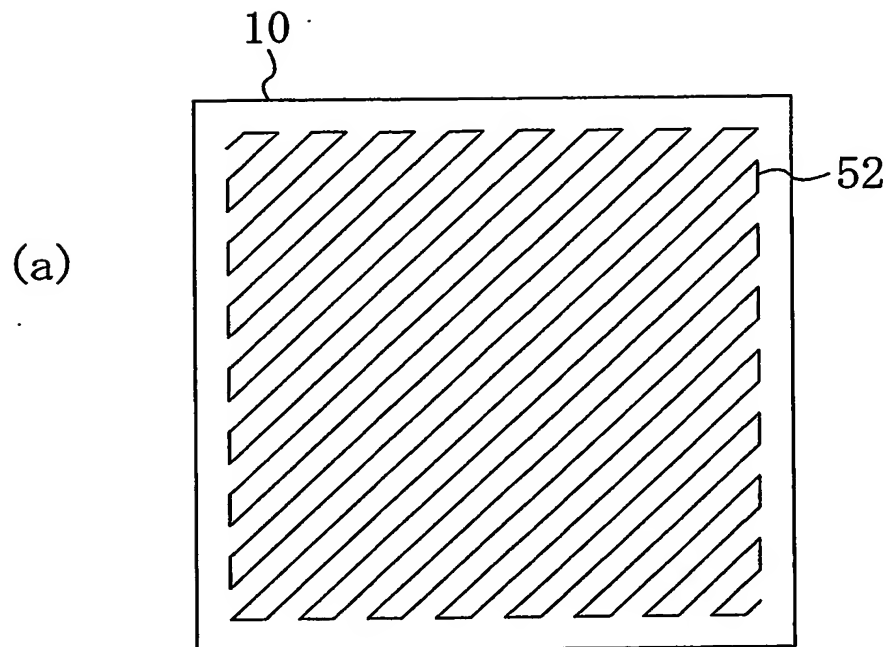


FIG. 5



6/13

FIG. 6

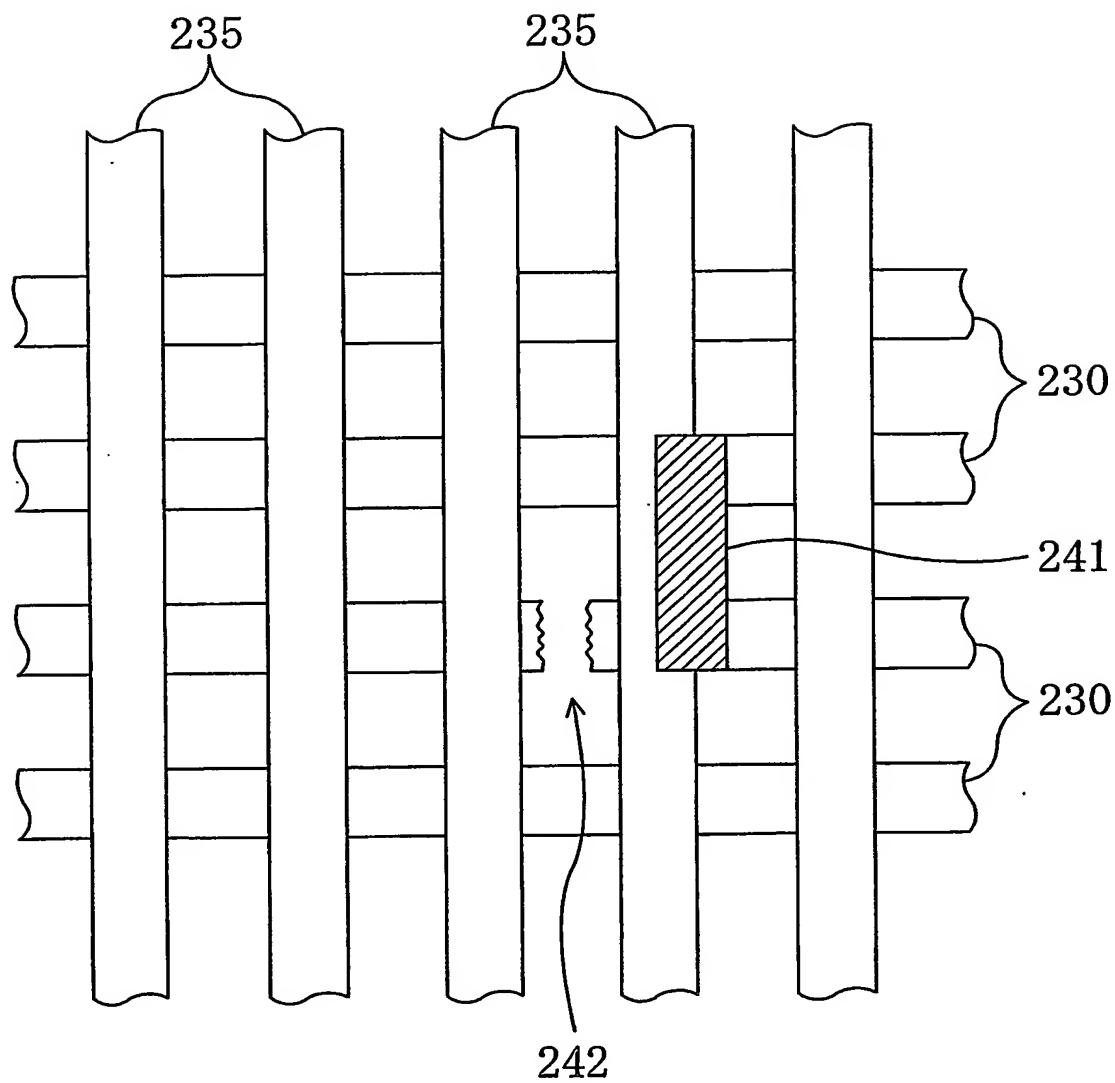
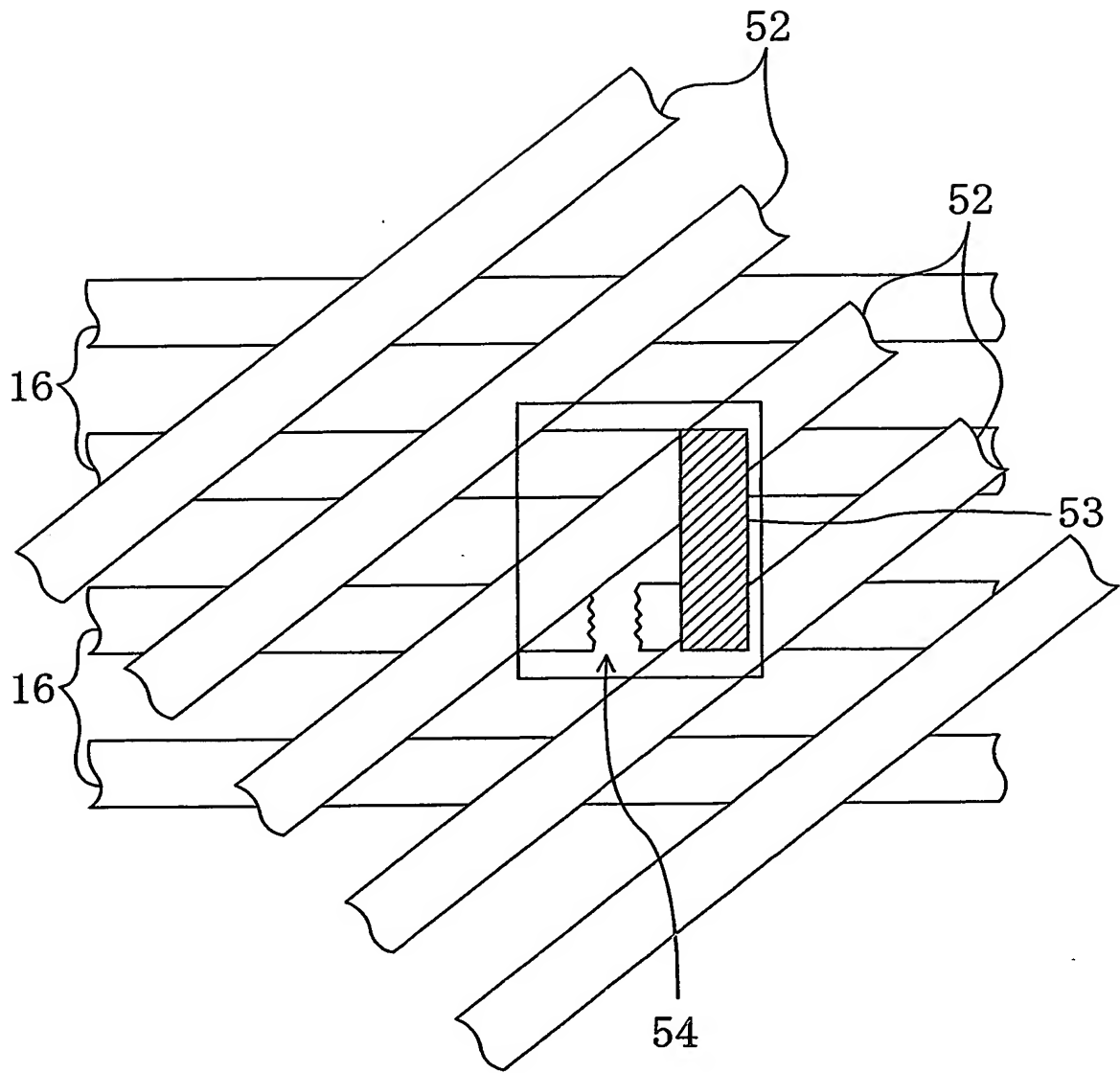


FIG. 7



8/13

FIG. 8

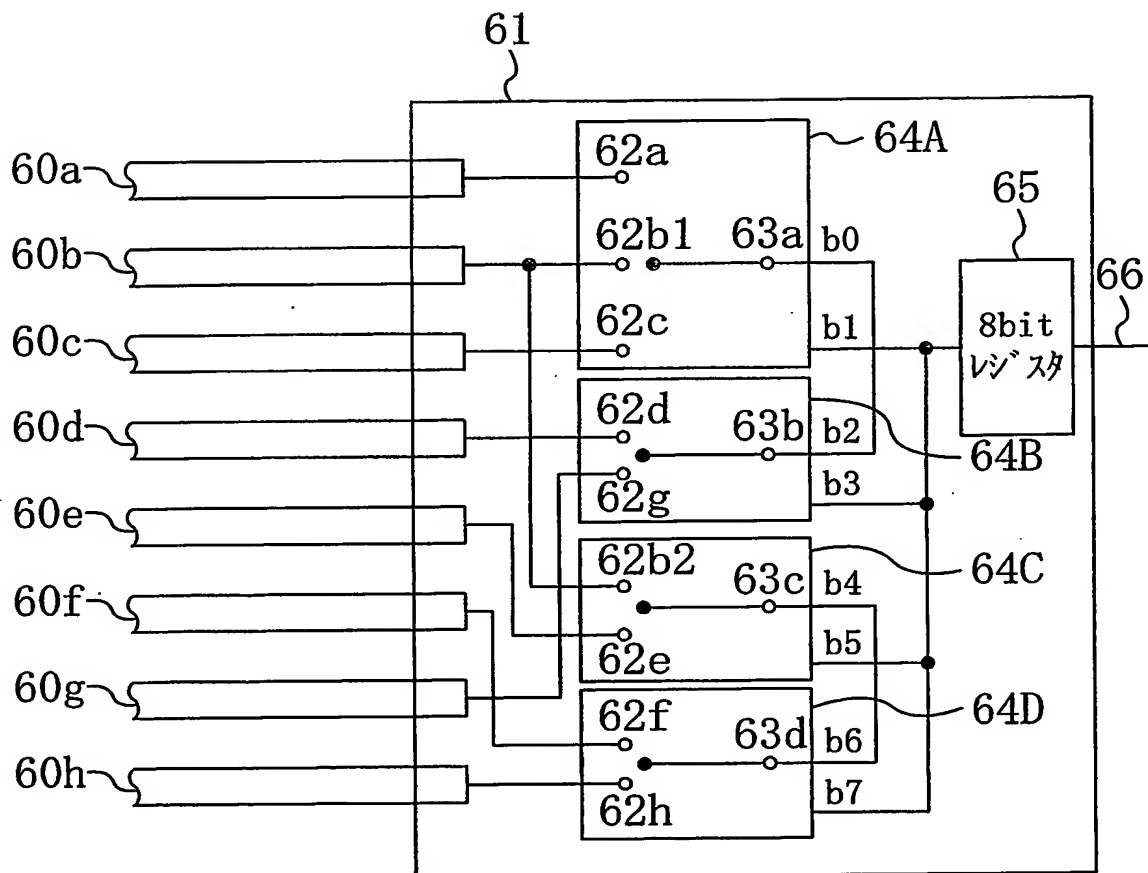
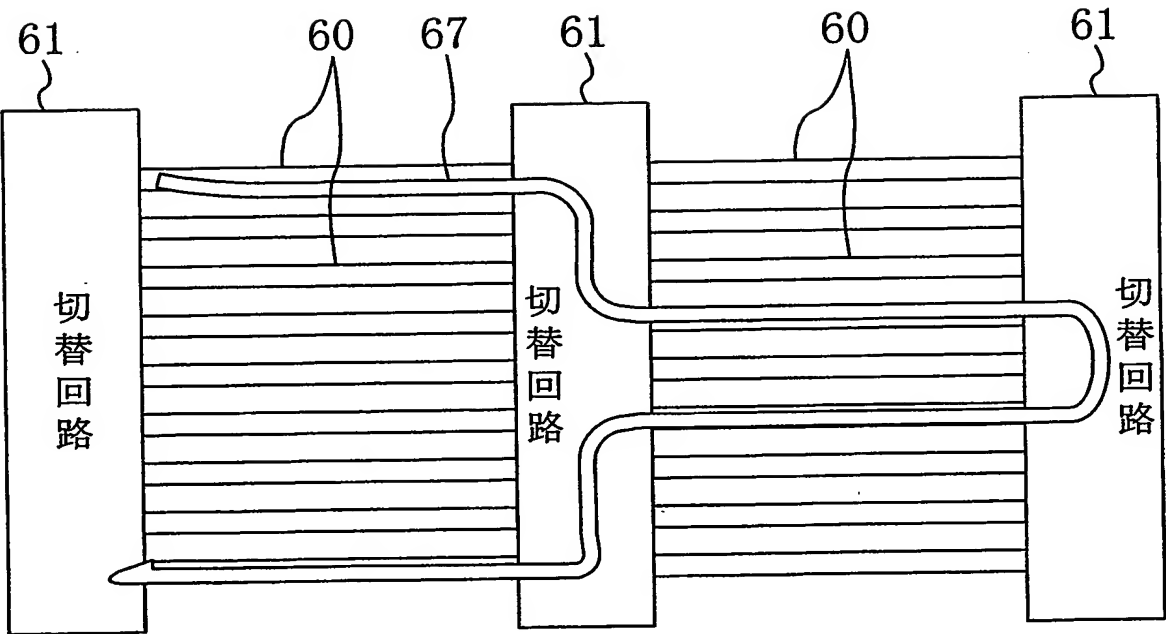
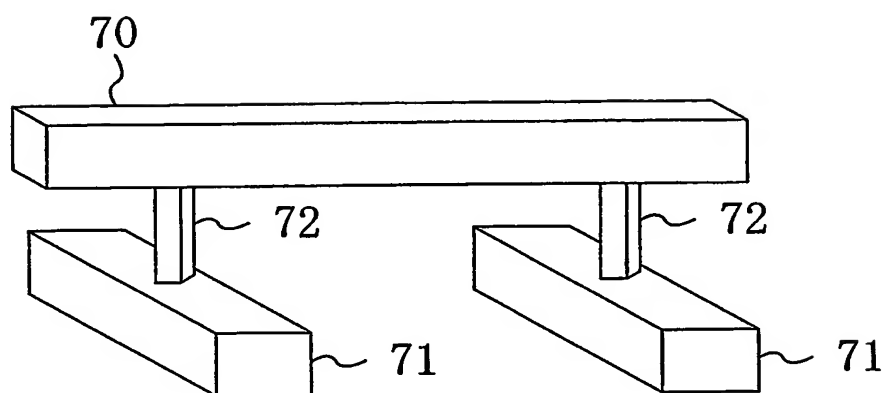


FIG. 9



10/13

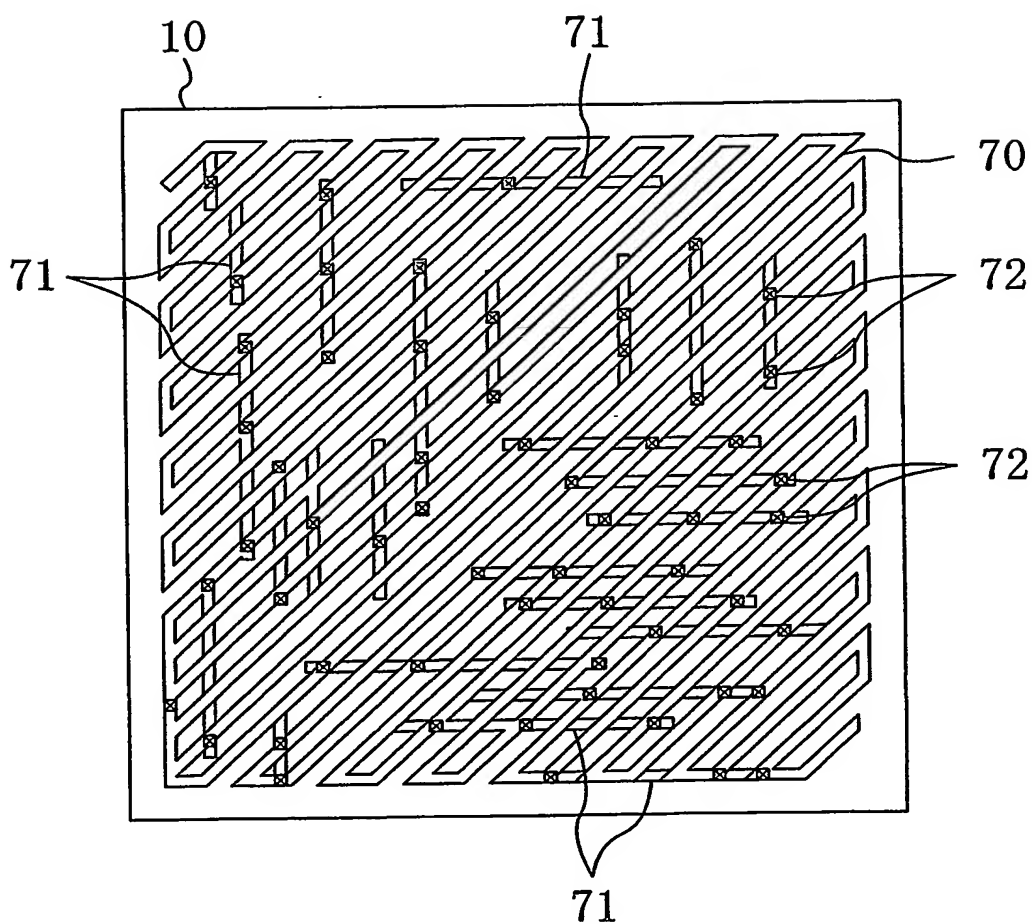
FIG. 10





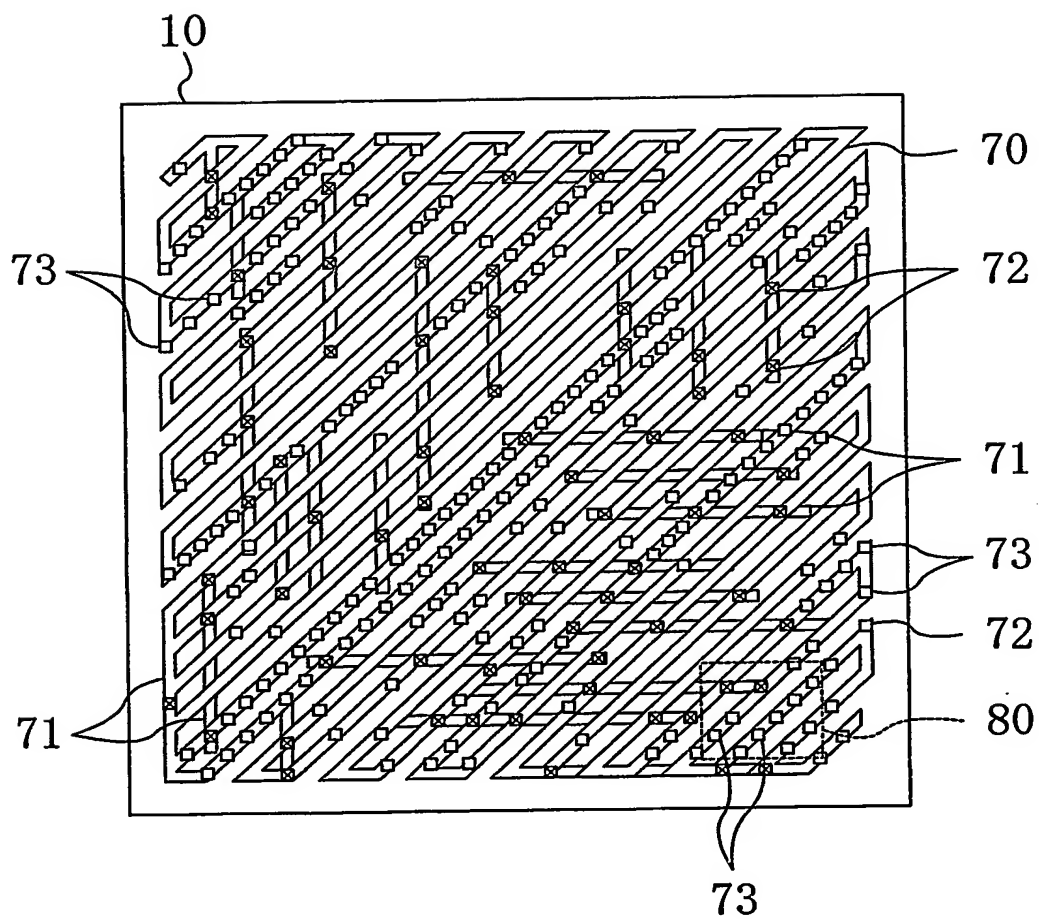
11/13

FIG. 11



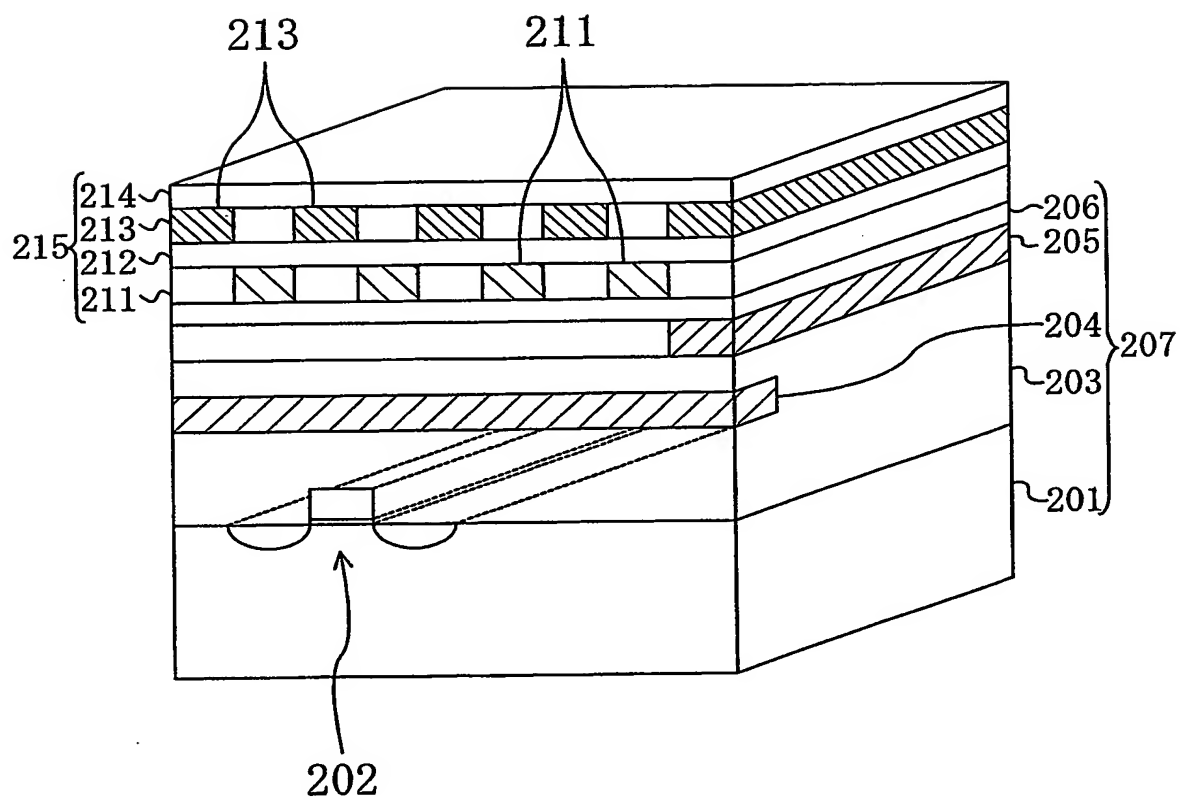
12/13

FIG. 12



13/13

FIG. 13



# INTERNATIONAL SEARCH REPORT

International application No.  
PCT/JP03/08884

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.<sup>7</sup> H01L21/82, H01L27/00, H01L21/3205, G06F1/04

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.<sup>7</sup> H01L21/82, H01L27/04, H01L21/3205, G06F1/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Toroku Jitsuyo Shinan Koho	1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2002-043516 A (Toshiba Micro-Electronics Corp.), 08 February, 2002 (08.02.02), Par. Nos. [0026] to [0027]; Figs. 8 to 9 (Family: none)	1 2-12
Y A	JP 02-209735 A (Seiko Epson Corp.), 21 August, 1990 (21.08.90), Full text; all drawings (Family: none)	1 2-12
A	JP 2001-244414 A (Nippon Telegraph And Telephone Corp.), 07 September, 2001 (07.09.01), Full text; all drawings (Family: none)	1-12

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:  
 "A" document defining the general state of the art which is not considered to be of particular relevance  
 "E" earlier document but published on or after the international filing date  
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
 "O" document referring to an oral disclosure, use, exhibition or other means  
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone  
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art  
 "&" document member of the same patent family

Date of the actual completion of the international search  
10 October, 2003 (10.10.03)

Date of mailing of the international search report  
28 October, 2003 (28.10.03)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/08884

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-076140 A (Nippon Telegraph And Telephone Corp.), 14 March, 2000 (14.03.00), Full text; all drawings (Family: none)	1-12
A	WO 00/28399 A1 (INFINEON TECHNOLOGIES AG.), 18 May, 2000 (18.05.00), Full text; all drawings & JP 2002-529928 A Full text; all drawings	1-12

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H01L21/82, H01L27/04, H01L21/3205, G06F1/04

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H01L21/82, H01L27/04, H01L21/3205, G06F1/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2003年
日本国実用新案登録公報	1996-2003年
日本国登録実用新案公報	1994-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2002-043516 A (東芝マイクロエレクトロニクス株式会社) 2002.02.08	1
A	【0026】～【0027】段落, 図8～9 (ファミリーなし)	2～12
Y	JP 02-209735 A (セイコーエプソン株式会社) 1990.08.21	1
A	全文, 全図 (ファミリーなし)	2～12

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日 10.10.03

国際調査報告の発送日 28.10.03

国際調査機関の名称及びあて先  
日本国特許庁 (ISA/JP)  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)  
棚田 一也



4 L 9361

電話番号 03-3581-1101 内線 3498

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 2001-244414 A (日本電信電話株式会社) 2001.09.07 全文, 全図 (ファミリーなし)	1-12
A	J P 2000-076140 A (日本電信電話株式会社) 2000.03.14 全文, 全図 (ファミリーなし)	1-12
A	WO 00/28399 A1 (INFINEON TECHNOLOGIES AG) 2000.05.18、全文, 全図 & J P 2002-529928 A、全文, 全図	1-12